

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-242515

(P2000-242515A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル [*] (参考)
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 D 5 B 0 0 1
G 1 1 C 29/00	6 3 1	G 1 1 C 29/00	6 3 1 B 5 L 1 0 6

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21)出願番号 特願平11-42203

(22)出願日 平成11年2月19日(1999.2.19)

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者 黒川 隆

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74)代理人 100111729

弁理士 佐藤 勝春

Fターム(参考) 5B001 AA05 AB02 AD03 AE02

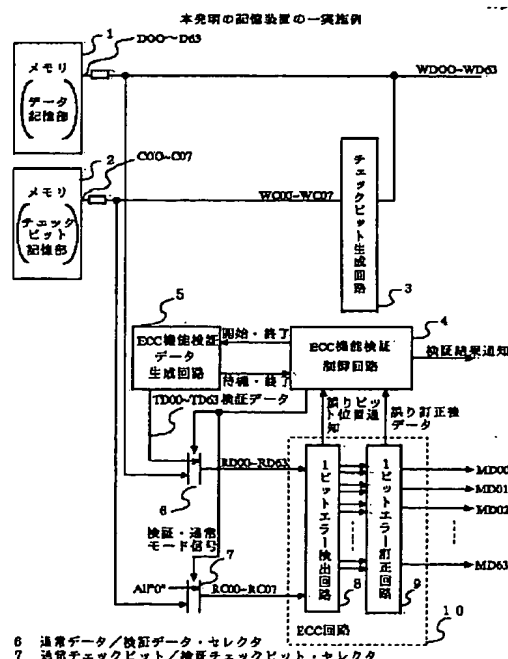
5L106 AA01 AA02 BB12 EE05

(54)【発明の名称】 ECC機能検証回路及びECC機能検証方法

(57)【要約】

【課題】 データの1ビット誤りの検出・訂正を行うECC回路の機能の検証を小規模な装置構成で高速かつ正確に行う。

【解決手段】 ECC機能検証データ生成回路5は、擬似的に“1”故障および“0”故障の1ビット誤りを発生させた検証データをクロック毎に自動生成する。通常データ/検証データ・セクタ6は、検証モード時には、メモリ書き込みデータに代わって検証データを選択し、また、通常チェックビット/検証チェックビット・セクタ7は、検証モード時には、メモリ書き込みデータに対するチェックビットに代わって検証データに対する検証チェックビットを選択する。ECC機能検証制御回路4は、1ビット誤りを発生させたビット位置と、ECC回路10が二つのセクタ6、7の出力から1ビット誤りを検出したビット位置とを比較し、また、1ビット誤りを発生させる前のデータ値とECC回路10が1ビット誤りを訂正した後のデータ値を比較することにより、ECC回路10の機能を検証する。



【特許請求の範囲】

【請求項 1】 擬似的に 1 ビット誤りを発生させた検証データを自動生成する ECC 機能検証データ生成回路と、

前記 1 ビット誤りを発生させたビット位置と、前記検証データに対して ECC 回路が 1 ビット誤りを検出したビット位置とを比較し、また前記 1 ビット誤りを発生させる前のデータ値と ECC 回路が 1 ビット誤りを訂正した後のデータ値とを比較することにより、ECC 回路の機能を検証する ECC 機能検証制御回路とを設けたことを特徴とする ECC 機能検証回路。

【請求項 2】 擬似的に “1” 故障および “0” 故障の 1 ビット誤りを発生させた検証データをクロック毎に自動生成する ECC 機能検証データ生成回路と、

検証モードにおいては、メモリ書き込みデータに代わって前記検証データを選択する通常データ／検証データ・セクタと、

検証モードにおいては、前記メモリ書き込みデータに対するチェックビットに代わって前記検証データに対する検証チェックビットを選択する通常チェックビット／検証チェックビット・セクタと、

前記 1 ビット誤りを発生させたビット位置と、ECC 回路が前記二つのセクタの出力から 1 ビット誤りを検出したビット位置とを比較し、また、1 ビット誤りを発生させる前のデータ値と ECC 回路が 1 ビット誤りを訂正した後のデータ値を比較することにより、ECC 回路の機能を検証する ECC 機能検証制御回路とを設けたことを特徴とする ECC 機能検証回路。

【請求項 3】 前記検証データは、メモリ読み書きデータビット幅分のオール “0” (“1”) の内の 1 ビットのみを “1” (“0”) とし、この “1” (“0”) をクロック毎に順次シフトすることによって生成することを特徴とする請求項 1 又は請求項 2 記載の ECC 機能検証回路。

【請求項 4】 擬似的に “1” 故障及び “0” 故障の 1 ビット誤りを発生させた検証データをクロック毎に自動生成する手順と、前記検証データと該検証データに対するチェックビットとから前記検証データの 1 ビット誤りを検出する手順と、

該 1 ビット誤りを訂正する手順と、

前記 1 ビット誤りを発生させたビット位置と、前記検出された 1 ビット誤りのビット位置とを比較し、また、1 ビット誤りを発生させる前のデータ値と前記 1 ビット誤りを訂正した後のデータ値を比較することにより、ECC 回路の機能を検証する手順とを、メモリ読み書きデータビット幅分についてバイブライン処理することを特徴とする ECC 機能検証方法。

【請求項 5】 請求項 1 ないし請求項 3 のいずれかに記載の ECC 機能検証回路または請求項 4 記載の ECC 機能検証方法を使用したことを特徴とする記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ECC 機能の検証に関し、特にコンピュータ装置、その他の電子装置の ECC 機能検証回路及び ECC 機能検証方法に関する。

【0002】

【従来の技術】エラー検出・訂正回路(Error Check and Correct回路。以下 ECC 回路と略す。)は、周知のように、ランダム・アクセス・メモリ(以下 RAM と略す。)やバッファなどの記憶装置からデータを読み出す際にデータのビット誤りを検出し、また、誤りビットの訂正を行う回路である。

【0003】図 9 は、実開平 5-83847 号に記載されている従来のこの種の ECC 機能検証回路を備えた記憶装置の要部を示すブロック図である。

【0004】図 9 において、メモリ 11 及びメモリ 12 はそれぞれ RAM を用いており、メモリ 11 は書き込みデータを記憶し、メモリ 12 はチェックビット生成回路 13 で生成されたチェックビットを記憶する。

【0005】チェックビット生成回路 13 は、1 ビット誤り訂正・2 ビット誤り検出コード(Single-bit Error Correct Double-bit Error Detectコード。以下 SECDED コードと略す。)に基づいて、書き込みデータからチェックビットを生成する。

【0006】書き込みデータ反転信号生成回路 14 は、検証モードにおいては、データ書き込み時に、書き込みデータの任意の 1 ビットを反転させるための反転制御信号を生成し、ビット反転回路 15 は、書き込みデータ反転信号生成回路 14 から出力された反転制御信号によって、指定された書き込みデータビットを反転する。

【0007】1 ビットエラー検出回路 16 は、メモリ 11 から読み出したデータ及びメモリ 12 から読み出したチェックビットによって、1 ビット誤りの有無を検査する。また、1 ビットエラー訂正回路 17 は、データに 1 ビット誤りが検出された場合に、1 ビットエラー検出回路 16 が示す誤りビットの訂正を行う。

【0008】なお、図 9 において、点線で囲んである 1 ビットエラー検出回路 16 及び 1 ビットエラー訂正回路 17 が ECC 回路 18 を構成する。

【0009】次に、この従来の ECC 機能検証回路の動作について図 10 のフローチャートを参照しながら説明する。この回路では、ECC 回路の機能を検証する方法として、メモリ 11 に書き込むべきデータを 1 ビットのみ反転させてメモリ 11 に書き込み、そのデータを読み出した際に反転したビットを 1 ビット誤りとして検出し、更に、そのビットを訂正する動作を確認することにより、ECC 回路 18 の機能を検証している。

【0010】いま、メモリ 11 に書き込むデータの幅を 64 ビット、書き込みデータから生成するチェックビットの幅を 8 ビットとする。データ WD00~WD63 を

メモリ11に書き込む(図10のステップS31)とき、チェックビット生成回路13は、SECDEDコードに基づいて、64ビットの書き込みデータから8ビットのチェックビットWC00~WC07を生成し(ステップS32)、これをメモリ12に書き込む(図10のステップS34)。

【0011】書き込みデータ反転信号生成回路14は、ビット反転回路15に、反転させるビット位置を示す反転制御信号を出力する。書き込みデータビットWD63を反転する場合、書き込みデータ反転信号生成回路14は、ビット反転回路15内の排他的論理和回路XD63に"1"を出力し、その他の排他的論理和回路には"0"を出力する。ビット反転回路15内の排他的論理和回路XD63は"1"が入力されたことにより、書き込みデータビットWD63の値を反転して(ステップS33)メモリ11に出力する(ステップS34)。

【0012】次に、メモリに書き込んだデータWD00~WD62およびWD63'と、チェックビットWC00~WC07を読み出し、読み出しデータRD00~RD63及び読み出しチェックビットRC00~RC07を1ビットエラー検出回路16に入力する。

【0013】1ビットエラー検出回路16は、読み出しデータRD00~RD63と読み出しチェックビットRC00~RC07とから、書き込み時に反転したデータビットRD63を1ビット誤りとして検出し、1ビットエラー訂正回路17に1ビット誤りの発生しているビット位置を通知する(ステップS35)。

【0014】1ビットエラー訂正回路17は、1ビットエラー検出回路16が示す1ビット誤りが発生しているビットを再度反転させて誤り訂正を行い(ステップS36)、読み出しデータMD00~MD63とする(ステップS37)。

【0015】そして、書き込みデータWD00~WD63と、1ビットエラー検出回路16及び1ビットエラー訂正回路17により1ビット誤り検出・訂正された読み出しデータMD00~MD63とが一致していること、および書き込みデータ反転信号発生回路14とビット反転回路15とによって反転したビットと、1ビットエラー検出回路16が検出した1ビット誤りの発生したビットが一致していることを確認することにより、ECC回路18の機能が正常に動作していることを検証する。

【0016】次に、従来の他の例として、特開昭61-226853号に記載されているECC機能検証回路を備えた記憶装置について説明する。図11は、その要部を示すブロック図である。

【0017】図11において、メモリ21およびメモリ22はそれぞれRAMを用いており、メモリ21はデータを記憶し、メモリ22はチェックビット生成回路23で生成されたチェックビットを記憶する。

【0018】読み出しデータ反転信号生成回路23は、

検証モードにおいては、データ読み出し時に、読み出しデータの任意の1ビットを反転させる制御信号を生成する。ビット反転回路24は、読み出しデータ反転信号生成回路23から出力された反転制御信号によって、指定された読み出しデータの1ビットを反転する。

【0019】1ビットエラー検出回路25は、メモリ21から読み出したデータ及びメモリ22から読み出したチェックビットによって1ビット誤りの有無を検査する。また、1ビットエラー訂正回路26は、データに1ビット誤りが検出された場合、1ビットエラー検出回路25が示す誤りビットの訂正を行う。図11において、点線で囲んである1ビットエラー検出回路25および1ビットエラー訂正回路26が本発明の機能検証の対象となるECC回路27を構成する。

【0020】次に、この従来のECC機能検証回路の動作について図12のフローチャートを参照しながら説明する。この回路ではECC回路の機能を検証する方法として、予めメモリ21に記憶してあるデータを読み出した際に1ビットのみ反転させ、その反転したビットを1ビット誤りとして検出し、更にそのビットを訂正する動作を確認することでECC回路27の機能を検証している。

【0021】いま、メモリ21、22を読み書きするデータの幅を64ビット、チェックビットの幅を8ビットとする。まず、メモリ21にD00~D63、また、メモリ22にデータD00~D63から生成されたチェックビットを書き込む(図12のステップS41、S42、S43)。

【0022】読み出しデータ反転信号生成回路23は、ビット反転回路24に反転させるビット位置を示す反転制御信号を出力する。読み出しデータビットRD63を反転する場合、読み出しデータ反転信号生成回路23はビット反転回路24内の排他的論理和回路XD63に"1"を出力し、その他の排他的論理和回路には"0"を出力する。ビット反転回路24内の排他的論理和回路XD63は"1"が入力されたことにより、読み出しデータビットRD63の値を反転して、読み出しデータRD00~RD62、RD63'とチェックビットRC00~RC07とを1ビットエラー検出回路25に出力する(ステップS44)。

【0023】1ビットエラー検出回路25は、読み出しデータRD00~RD62、RD63'と読み出しチェックビットRC00~RC07とから、反転したデータビットRD63'を1ビット誤りとして検出し、1ビットエラー訂正回路26に1ビット誤りの発生しているビット位置を通知する(ステップS45)。

【0024】1ビットエラー訂正回路26は、1ビットエラー検出回路25が示す1ビット誤りが発生しているビットを再度反転させて誤り訂正を行い(ステップS46)、読み出しデータMD00~MD63とする(ステ

10

20

30

40

50

ップ S47)。

【0025】そして、読み出しデータ反転信号発生回路 23 及びビット反転回路 24 によって反転したビットと、1 ビットエラー検出回路 25 が検出した 1 ビット誤りの発生したビットとが一致していることを確認することにより、ECC 回路 27 の機能が正常に動作していることを検証する。

【0026】図 10 及び図 12 のフローチャートに示すように、上述の 2 つの従来技術で共通なのは、図中に 2 重枠で示すように、ビット反転回路でデータを 1 ビット反転させて擬似的にビット誤りを発生させ、反転させる前のデータで生成したチェックビットを用いて誤りビットを検出・訂正し、この一連の動作を確認することによって ECC 機能の検証を行っていることである。

【0027】なお、図 13 には、上述の従来技術における検証モードにおけるタイムチャートを示す。

【0028】

【発明が解決しようとする課題】しかしながら、この従来の ECC 検証回路ないしは検出方法の第 1 の問題点は、ECC 機能を検証するために必要な装置構成が大規模になり、また、ECC 回路を有する LSI 単体のみで機能検証を行うことが出来ない、ということである。その理由は、ECC 機能を検証するために、必要なデータをメモリに記憶させ、そのデータを読み出すことで ECC 機能を検証しているので、ECC 回路の他にメモリを実装しないと検証が出来ず、その結果、検証装置構成も大規模になるからである。

【0029】また、第 2 の問題点は、機能検証に要する時間が長い、ということである。その理由は、メモリにデータを書き込み、再度そのデータを読み出す作業をしているので、一連の検証を行うのに時間がかかるからである。

【0030】さらに、第 3 の問題点は、検証するビットを毎回設定する必要がある、ということである。その理由は、仮にデータ幅が 64 ビットだった場合、全ビットを検証するためには、図 13 から明らかなように、反転させて擬似的に 1 ビット誤りを発生させるビットの設定を 64 回行う必要がある。また、回路が“1”に故障した場合(“1”故障)と“0”に故障した場合(“0”故障)を検証する場合には、ビット設定が 128 回になり、更に反転させる前のデータの値と反転させた後のデータの値を考慮する必要があるからである。

【0031】そこで、本発明の目的は、装置規模の小さい ECC 機能検証回路および ECC 機能検証方法を提供することにある。

【0032】また、本発明の他の目的は、高速な ECC 機能検証回路及び ECC 機能検出方法を提供することにある。

【0033】さらに、本発明の他の目的は、誤りビットの設定を必要としない ECC 機能検証回路及び ECC 機

能検証方法を提供することにある。

【0034】

【課題を解決するための手段】第 1 の本発明の ECC 機能検証回路は、擬似的に 1 ビット誤りを発生させた検証データを自動生成する ECC 機能検証データ生成回路と、前記 1 ビット誤りを発生させたビット位置と、前記検証データに対して ECC 回路が 1 ビット誤りを検出したビット位置とを比較し、また前記 1 ビット誤りを発生させる前のデータ値と ECC 回路が 1 ビット誤りを訂正した後のデータ値とを比較することにより、ECC 回路の機能を検証する ECC 機能検証制御回路とを設けたことを特徴とする。

【0035】また、第 2 の本発明の ECC 機能検証回路は、擬似的に“1”故障および“0”故障の 1 ビット誤りを発生させた検証データをクロック毎に自動生成する ECC 機能検証データ生成回路と、検証モードにおいては、メモリ書き込みデータに代わって前記検証データを選択する通常データ／検証データ・セレクトと、検証モードにおいては、前記メモリ書き込みデータに対するチェックビットに代わって前記検証データに対する検証チェックビットを選択する通常チェックビット／検証チェックビット・セレクトと、前記 1 ビット誤りを発生させたビット位置と、ECC 回路が前記二つのセレクトの出力から 1 ビット誤りを検出したビット位置とを比較し、また、1 ビット誤りを発生させる前のデータ値と ECC 回路が 1 ビット誤りを訂正した後のデータ値を比較することにより、ECC 回路の機能を検証する ECC 機能検証制御回路とを設けたことを特徴とする。

【0036】さらに、本発明の ECC 機能検証回路の好ましい実施の形態は、前記検証データは、メモリ読み書きデータビット幅分のオール“0” (“1”) の内の 1 ビットのみを“1” (“0”) とし、この“1” (“0”) をクロック毎に順次シフトすることによって生成することを特徴とする。

【0037】また、本発明の ECC 機能検証方法は、擬似的に“1”故障及び“0”故障の 1 ビット誤りを発生させた検証データをクロック毎に自動生成する手順と、前記検証データと該検証データに対するチェックビットとから前記検証データの 1 ビット誤りを検出する手順と、該 1 ビット誤りを訂正する手順と、前記 1 ビット誤りを発生させたビット位置と、前記検出された 1 ビット誤りのビット位置とを比較し、また、1 ビット誤りを発生させる前のデータ値と前記 1 ビット誤りを訂正した後のデータ値を比較することにより、ECC 回路の機能を検証する手順とを、メモリ読み書きデータビット幅分についてパイプライン処理することとを特徴とする。

【0038】本発明では、ECC 機能を検証するために必要なデータをメモリに記憶させる代わりに、検証データを自動生成する回路を挿入し、SECDED コードの特性を考慮・適用して ECC 機能検証用のデータを高速、かつ

10

20

30

40

50

正確に自動生成し、そのデータをメモリに記憶せずに直接ECC回路に入力することとしている。

【発明の実施の形態】

【0039】次に、本発明の実施の形態について図面を参照して説明する。

【0040】図1に、本発明のECC機能検証回路を有する記憶装置の要部ブロック図を示す。本実施の形態では、ECC機能を検証するためのデータを従来のようにメモリに記憶させる代わりに、検証データを自動生成するECC機能検証データ生成回路5及び検証を制御するECC機能検証制御回路4を用いる。

【0041】すなわち、SECDEDコードに基づいた正常データに対して、1ビットだけ反転させたデータをECC機能検証データ生成回路5が自動生成する。その誤りビットを1ビットエラー検出回路8で検出し、更に1ビットエラー訂正回路9で正常なデータに訂正されているかを確認することで、ECC回路の機能検証を行う。

【0042】本記憶装置は、図1に示すとおり、メモリ（データ記憶部）1と、メモリ（チェックビット記憶部）2と、チェックビット生成回路3と、ECC機能検証制御回路4と、ECC機能検証データ生成回路5と、通常データ／検証データ・セクタ6と、通常チェックビット／検証チェックビット・セクタ7と、1ビットエラー検出回路8と、1ビットエラー訂正回路9とで構成される。

【0043】メモリ1及びメモリ2はそれぞれRAMを用いており、メモリ1は書き込みデータを記憶し、メモリ2はチェックビット生成回路3で生成されたチェックビットを記憶する。チェックビット生成回路3は、SECDEDコードに基づいて、書き込みデータからチェックビットを生成する。メモリ1、メモリ2およびチェックビット生成回路3は通常のメモリアクセス時に用いられるもので、本発明が適用されるECC機能の検証時においては使用されない。

【0044】ECC機能検証制御回路4は、通常モードと検証モードの切り替え、検証結果のチェック及び検証結果通知を行う。

【0045】ECC機能検証データ生成回路5は、ECC回路の機能検証に用いるデータを自動生成する。

【0046】通常データ／検証データ・セクタ6は通常アクセス時と検証モード時のデータのセレクト、通常チェックビット／検証チェックビット・セクタ7は通常アクセス時と検証モード時のチェックビットのセレクトを行う。

【0047】1ビットエラー検出回路8はデータの1ビット誤りの有無を検査し、1ビットエラー訂正回路9はデータに1ビット誤りが検出された場合に、1ビットエラー検出回路8が示す誤りビットの訂正を行う。

【0048】ECC機能検証制御回路4、ECC機能検証データ生成回路5、通常データ／検証データ・セク

タ6および通常チェックビット／検証チェックビット・セクタ7が本発明のECC機能検証回路を構成し、点線で囲んである1ビットエラー検出回路8及び1ビットエラー訂正回路9が機能検証の対象となるECC回路10を構成する。

【0049】本実施例の動作説明をする前に、本発明で使用する一般的なSECDEDコードとチェックビットの特性について説明する。

【0050】図7にSECDEDコード表、図8にシンドロームと誤りビットの対応表を示す。本チェックビット生成回路3は、図7に示すように、64ビットのデータから8ビットのチェックビットを生成するものとする。

【0051】チェックビットは、SECDEDコード表の書き込みデータ部の水平方向の要素のうち、“1”の立っているビットを排他的論理和(Exclusive-OR)すれば生成することができる。一例として、チェックビットC00を生成する回路を図2に示す。図2を参照すると、書き込みデータの“1”が立っている相隣なるビット同士を次々に排他的論理和していき、最終的にチェックビットC00を得ていることがわかる。チェックビットC01～C07の生成方法も同様である。

【0052】チェックビットの特性で重要なのは、書き込みデータの水平方向の要素の“1”の数は、全てのチェックビットについて26個と偶数であることである。つまり、データビットD00～D63の値が全部“0”、または全部“1”である場合には、チェックビットC00～C07の値は全部“0”になる。この特性を利用して、ECC機能検証データ生成回路5を作成する。

【0053】次に、1ビット誤りを検出する際に用いられるシンドロームについて説明する。シンドロームはSECDEDコード表の読み出しデータ部とチェックビット部の水平方向の要素のうち、“1”の立っているビットを排他的論理和(Exclusive-OR)すれば生成することができる。一例としてシンドロームS00を生成する回路を図3に示す。図3を参照すると、図2と類似し、図2の第1段排他的論理回路群における最下段の排他的論理回路の入力として、データビットD58およびD60にチェックビットC00を追加している点のみが異なっている。シンドロームS01～S07の生成方法も同様である。この生成されたシンドロームS00～07の値によって、図8に示すように、1ビット誤りが発生しているビットを特定することができる。

【0054】図8は、データビットD00～D63およびチェックビットC00～C07のうちのいずれかの1ビットでエラーが発生している場合のシンドロームS00～S07の値を16進表示した値SYNを示す。例えば、読み出しデータのデータビットD00にビット1ビット誤りが発生していた場合、シンドロームS00～S07の値、すなわちSYNはC8[H]となる。

【0055】次に、図4（ステップS1～S11）およ

10

20

30

40

50

び図5（ステップS12～S）に示すフローチャートを用いて、本実施例の動作説明を行う。

【0056】最初に、書き込みデータWD00～WD63をメモリ1に書き込み、また、メモリ1から読み出しデータMD00～MD63を読み出す通常動作における誤り検出と誤り訂正について説明する。

【0057】書き込みデータWD00～WD63は、メモリ1に書き込まれる。これとともに、チェックビット生成回路3は、書き込みデータWD00～WD63から図7に示したSECODEDコード表により書き込みチェックビットWC00～WC07を生成し、メモリ2に書き込む。

【0058】メモリ1の読み出し時には、通常データ／検証データ・セクタ6は、メモリ1からの読み出しデータD00～D63を選択し、また、通常チェックビット／検証チェックビット・セクタ7は、メモリ2からの読み出しチェックビットC00～C07を選択する。

【0059】1ビットエラー検出回路8は、通常データ／検証データ・セクタ6が選択した読み出しデータRD00～RD63と通常チェックビット／検証チェックビット・セクタ7が選択した読み出しチェックビットRC00～RC07とから、図8に示したシンドロームと誤りビットの対応表により、シンドロームSYNを生成して、読み出しデータRD00～RD63に1ビット誤り、または2ビット誤りがないか否かを検査する。

【0060】その結果、1ビット誤りを検出すると、そのビット位置と読み出しデータRD00～RD63とを1ビットエラー訂正回路9に出力する。1ビットエラー訂正回路9は、読み出しデータRD00～RD63の内の1ビット誤りビットを反転することによって訂正し、訂正した読み出しデータMD00～MD63を出力する。

【0061】さて、ECC回路10の検証を行うには、まず、ECC機能検証制御回路4を検証モードに設定する（ステップS1）。すると、ECC機能検証制御回路4はECC機能検証データ生成回路5に検証開始通知をするとともに、通常データ／検証データ・セクタ6および通常チェックビット／検証チェックビット・セクタ7に検証モード信号を出力する（ステップS2）。

【0062】通常データ／検証データ・セクタ6は、セクタを検証データ側にして、ECC機能検証データ生成回路5から出力される検証データを選択する（ステップS3）。また、通常チェックビット／検証チェックビット・セクタ7はセクタを検証チェックビット側にして00[H]の値を選択する（ステップS4）。

【0063】ECC機能検証データ生成回路5は、64ビットの検証データTD00～TD63を自動生成して、通常データ／検証データ・セクタ6を介して1ビットエラー検出回路8に出力する。

【0064】ECC機能検証データ生成回路5は、ま

ず、ビット00からビット63までの"1"故障、すなわち"0"が"1"に化けた故障を検査する検証データTD00～TD63として、80000000[H]、40000000[H]、20000000[H]・・・というように64ビットのデータにおいて"1"が1ビットずつ右シフトした64個の値を生成する。つまり、通常チェックビット／検証チェックビット・セクタ7が選択した検証チェックビットの値00[H]に対応する正常なデータ値00000000[H]のビット00を反転した値、ビット01を反転した値、ビット02を反転した値・・・をクロック毎に順次生成して出力する（ステップS5）。この場合、検証チェックビットの値00[H]は、"1"の個数が偶数である正常なデータ値00000000[H]に対するものとしては正しい。

【0065】64個の検証データTD00～TD63を生成した後、ECC機能検証データ生成回路5は待機状態となり（ステップS6）、ECC機能検証制御回路4に待機状態通知を行い、再度、ECC機能検証制御回路4から開始通知がされるまで、データを00000000[H]の値にして出力し続ける（ステップS5）。

【0066】1ビットエラー検出回路8は、検証データTD00～TD63と検証チェックビットからシンドロームを生成して、そのシンドロームの値から1ビット誤りを検出し、ECC機能検証制御回路4及び1ビットエラー訂正回路9に1ビット誤りの発生したビット位置を出力する（ステップS7）。

【0067】1ビットエラー訂正回路9は、1ビットエラー検出回路8が示した誤りの発生しているビットを反転してエラー訂正を行い、訂正後のデータをECC機能検証制御回路4に出力する（ステップS8）。

【0068】ECC機能検証制御回路4は、1ビットエラー検出回路8が出力した誤りビットの位置を確認するとともに、1ビットエラー訂正回路9が出力した訂正後のデータの値が00000000[H]になっていることを確認して、誤りビットの位置が間違っていたり、訂正後のデータの値が00000000[H]でなかった場合には、ECC機能不具合として検証結果を通知する（ステップS9、S10）。

【0069】以上の動作を検証データ80000000[H]から00000001[H]までの64個のデータに対して連続して行う（ステップS11）。

【0070】次に、ビット00からビット63までの"0"故障、すなわち"1"が"0"に化けた故障を検査する。64個の"1"故障のデータを出力し終わり待機状態となっていたECC機能検証データ生成回路5は、再度、ECC機能検証制御回路4から開始通知がされると（図5のステップS12）、ビット00からビット63までの"0"故障を検査する検証データTD00～TD63として、7FFFFFFF[H]、BFFFFFFF[H]、DFFFFFFF[H]・・・と、64ビットのデ

ータにおいて"0"が1ビットずつ右シフトした64個の値を生成する。つまり、通常チェックビット／検証チェックビット・セクタ7が選択した検証チェックビットの値00[H]に対応する正常なデータ値FFFFFFFFF[H]のビット00を反転した値、ビット01を反転した値、ビット02を反転した値・・・をクロック毎に順次生成して出力する(ステップS13)。この場合も、検証チェックビットの値00[H]は"1"の個数が偶数である正常なデータ値FFFFFFFFF[H]に対するものとして正しい。

【0071】64個の検証データTD00～TD63を生成した後、ECC機能検証データ生成回路5は終了状態となり(ステップS14)、ECC機能検証制御回路4に終了状態通知を行い、データをFFFFFFFFF[H]の値にして出力し続ける(ステップS13)。

【0072】1ビットエラー検出回路8は、検証データTD00～TD63と検証チェックビットからシンドロームを生成して、そのシンドロームの値から1ビット誤りを検出し、ECC機能検証制御回路4及び1ビットエラー訂正回路9に1ビット誤りの発生したビット位置を出力する(ステップS15)。

【0073】1ビットエラー訂正回路9は、1ビットエラー検出回路8が示した誤りの発生しているビットを反転してエラー訂正を行い、訂正後のデータをECC機能検証制御回路104に出力する(ステップS16)。

【0074】ECC機能検証制御回路4は、1ビットエラー検出回路8が出力した誤りビットの位置を確認するとともに、1ビットエラー訂正回路9が出力した訂正後のデータの値がFFFFFFFFF[H]になっていることを確認して、誤りビットの位置が間違っていたり、訂正後のデータの値がFFFFFFFFF[H]でなかった場合には、検証結果をECC機能不具合として通知する(ステップS17、S18)。

【0075】以上の動作を検証データ7FFFFFFFFF[H]からFFFFFFFFFE[H]までの64個のデータに対して連続して行い、検証が終了した時点でECC機能検証制御回路4はECC機能検証データ生成回路5に検証終了通知をして、通常データ／検証データ・セクタ6、通常チェックビット／検証チェックビット・セクタ7に通常モード信号を出力する(ステップS19)。

【0076】ECC機能検証データ生成回路5は、データを初期値である00000000[H]に戻す(ステップS20)。通常データ／検証データ・セクタ6はセクタを通常データ側にして、メモリ1からの読み出し、データを選択し(ステップS21)、通常チェックビット／検証チェックビット・セクタ7はセクタを通常チェックビット側にして、メモリ2からの読み出しチェックビットを選択する(ステップS22)。

【0077】以上でECC機能の検証が終了する。図6は、以上に説明した本発明の検証モード時における動作

タイムチャートを示す。このタイムチャートより明らかに、検証データ生成、1ビット誤り検出、1ビット誤り訂正、検証結果報告という一連の処理がパイプライン処理される。したがって、1クロックで1つの検証データによる検証ができることになるのである。

【0078】図6を、従来技術の動作タイムチャートを示す図13と対比すれば、明らかなように、本発明によれば、従来技術に比べて検証時間が短縮されていることが分かる。

10 【0079】

【発明の効果】本発明の第1の効果は、ECC機能を検証する装置構成の規模を小さくすることができ、また、ECC回路を有するLSI単体のみで機能検証を行うことができる。ことである。その理由は、従来技術でECC機能を検証するために必要なデータをメモリに記憶させ、そのデータを読み出すことでECC機能の検証を行っていたのに対し、本発明ではメモリを使用せずに、検証データを自動生成する回路を用いているので装置構成の規模が小さくなり、また、メモリを必要としないのでLSI単体のみで機能検証を行うことができるからである。

20

【0080】また、第2の効果は、機能検証の時間を短縮することができることである。その理由は、同じくメモリを使用せずにデータを自動生成する回路を用いているので、メモリに書き込む動作と読み込む動作よりも高速にECC機能の検証をすることができるからである。

【0081】さらに、第3の効果は、検証するビットを毎回設定する必要が無いことである。その理由は、検証モードに設定すると、各データビットの"1"故障の検証データ(64個)と"0"故障の検証データ(64個)を自動生成するので、検証するビットを考慮して毎回設定する必要がなくなるからである。

30

【図面の簡単な説明】

【図1】本発明の記憶装置の一実施例のブロック図

【図2】図1におけるチェックビット生成回路の回路図

【図3】図1におけるシンドローム生成回路の回路図

【図4】図1におけるECC機能検証回路のフローチャート(前半)

40

【図5】図1におけるECC機能検証回路のフローチャート(後半)

【図6】図1におけるECC機能検証回路のタイムチャート

【図7】SECDEDコード表を示す図

【図8】シンドロームと誤りビット対応表を示す図

【図9】第1の従来のECC機能検出回路のブロック図

【図10】図9におけるECC機能検出回路のフローチャート

【図11】第2の従来のECC機能検出回路のブロック図

50

【図12】図11におけるECC機能検出回路のフロー

チャート

【図13】図9および図11におけるECC機能検出回路のタイムチャート

【符号の説明】

- | | | |
|----------|----------------|-----|
| 1, 2 | メモリ | |
| 1 1, 1 2 | メモリ | |
| 2 1, 2 2 | メモリ | |
| 3, 1 3 | チェックビット生成回路 | |
| 4 | ECC機能検証制御回路 | |
| 5 | ECC機能検証データ生成回路 | *10 |

* 6

通常データ／検証データ・セレクト

通常チェックビット／検証チェック

ビット・セクタ

8, 16, 25 1ビットエラー検出回路

9, 17, 26 1ビットエラー訂正回路

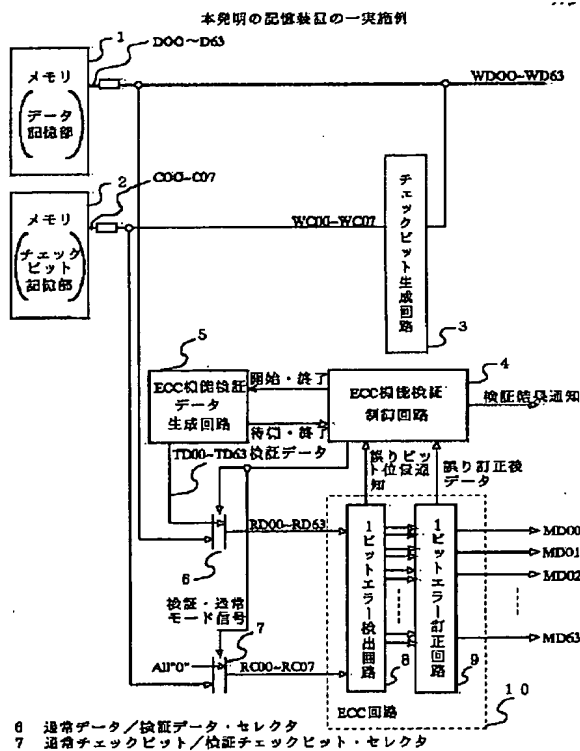
10, 18, 27 ECC回路

14 書き込みデータ反転信号生成回路

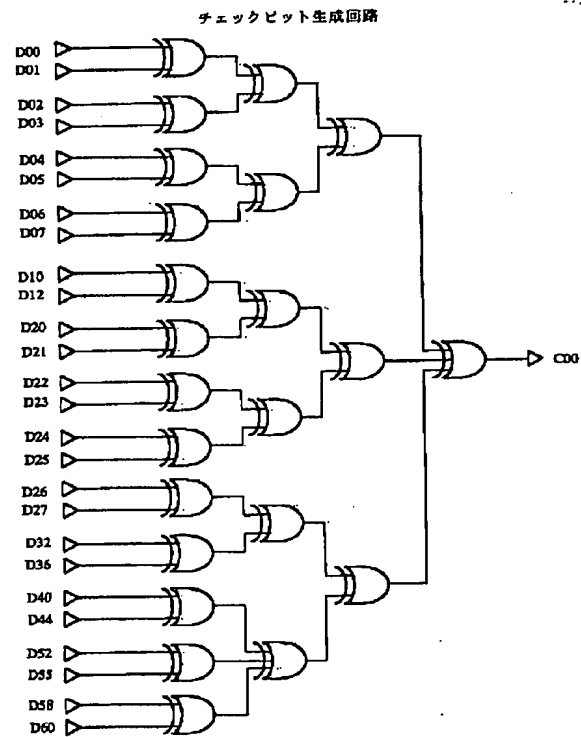
15, 24 ビット反転回路

23 読み出しデータ反転信号生成回路

【図 1】



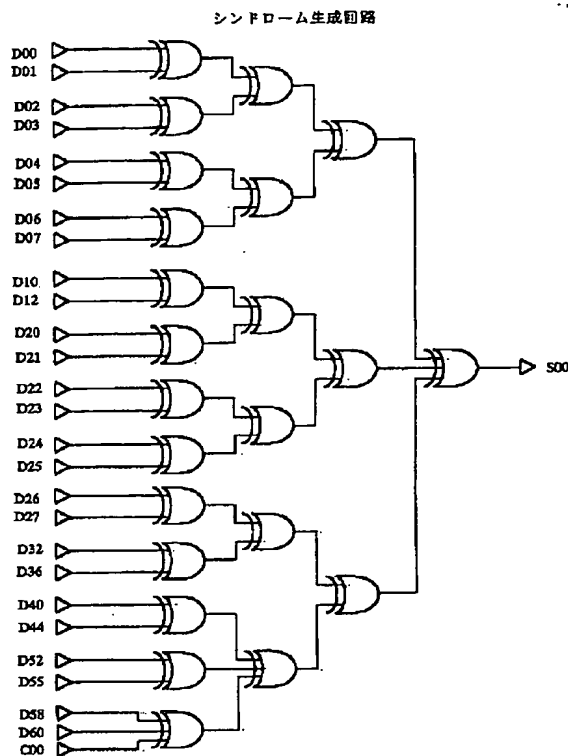
【図2】



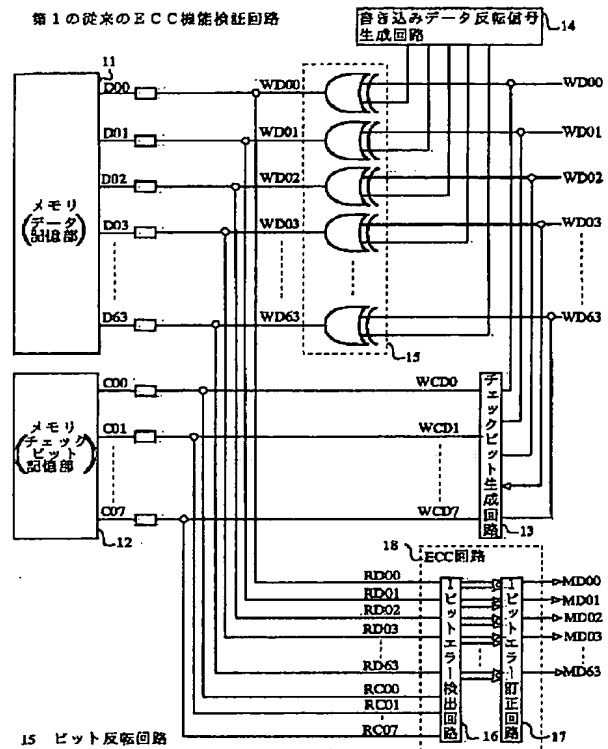
【圖 7】

[illegible]

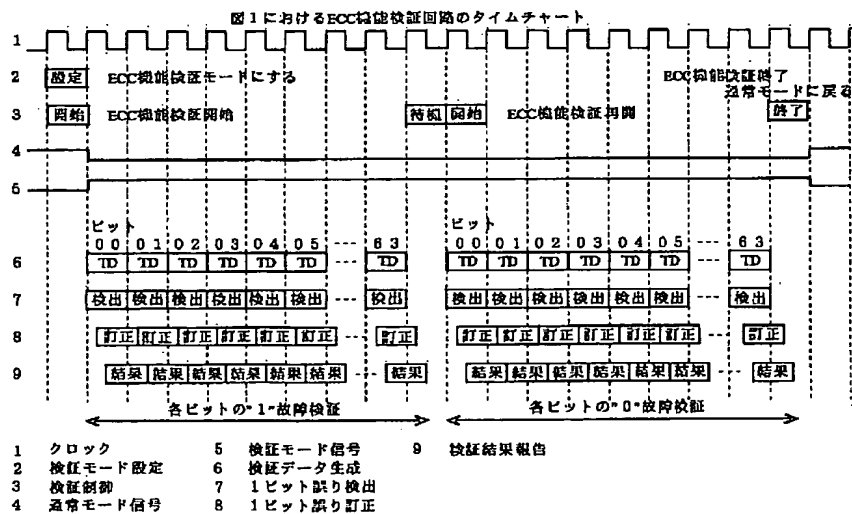
【図3】



【図9】

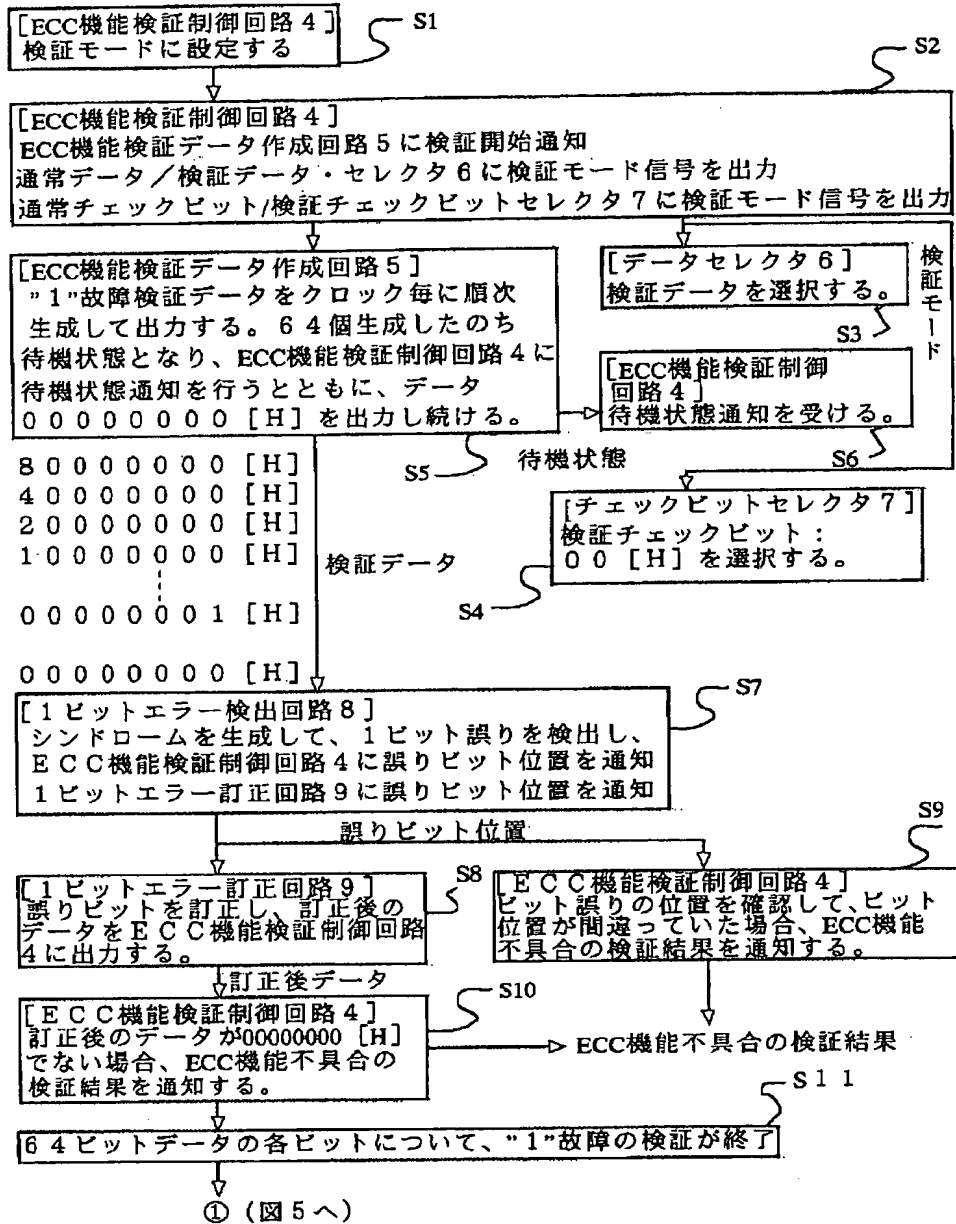


【図6】



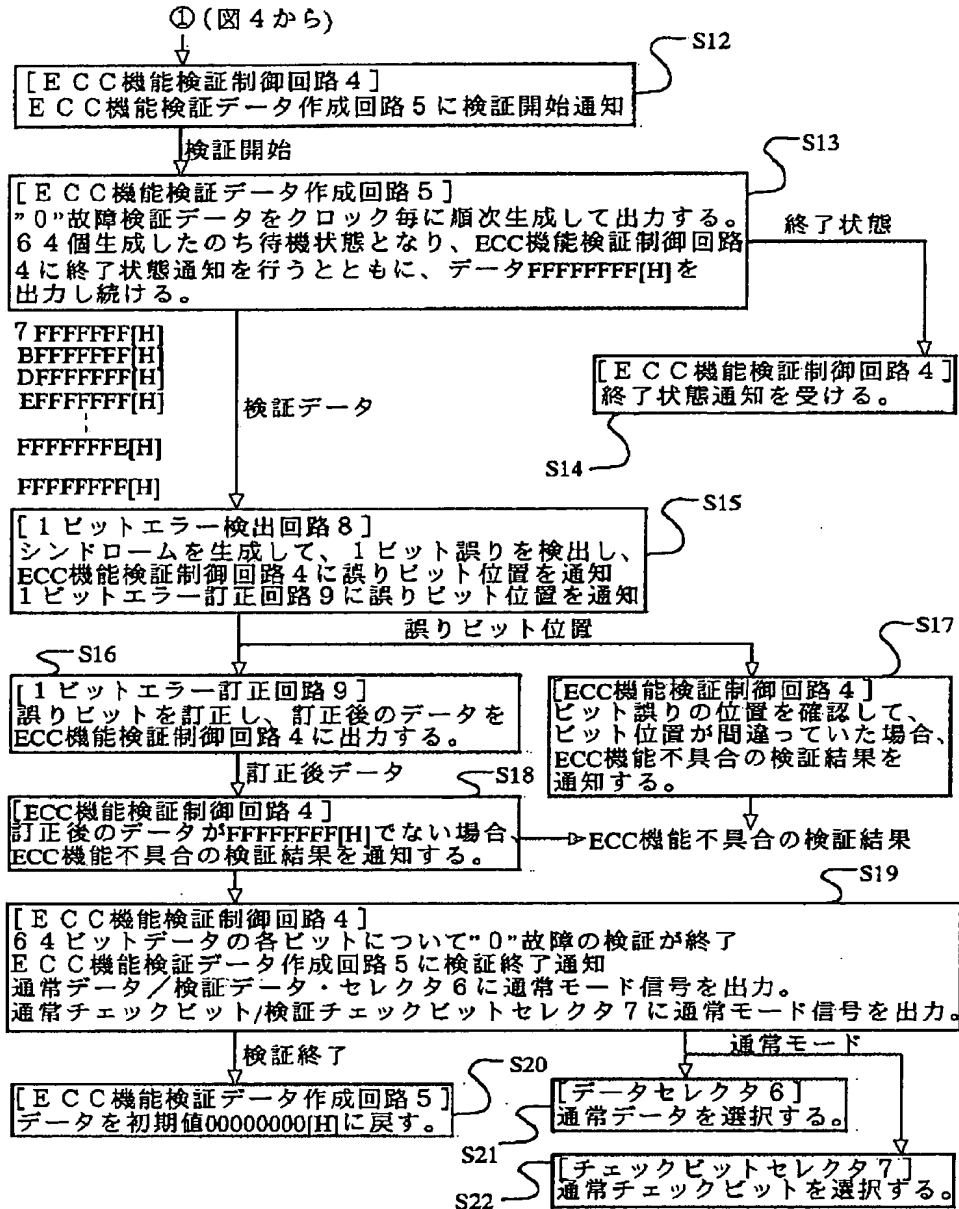
〔図4〕

図1におけるECC機能検証回路のフローチャート(前半)



【図5】

図1におけるECC機能検証回路のフローチャート(後半)



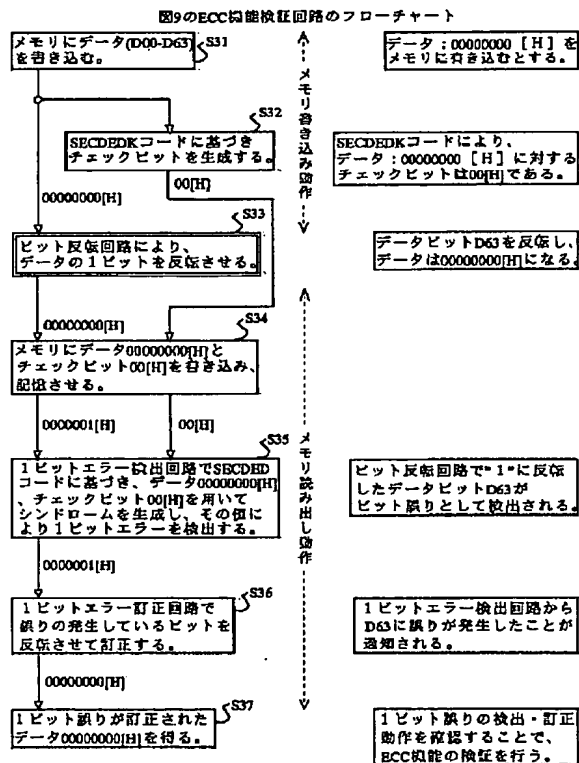
【図8】

シンδροームと誤りビットの対応表

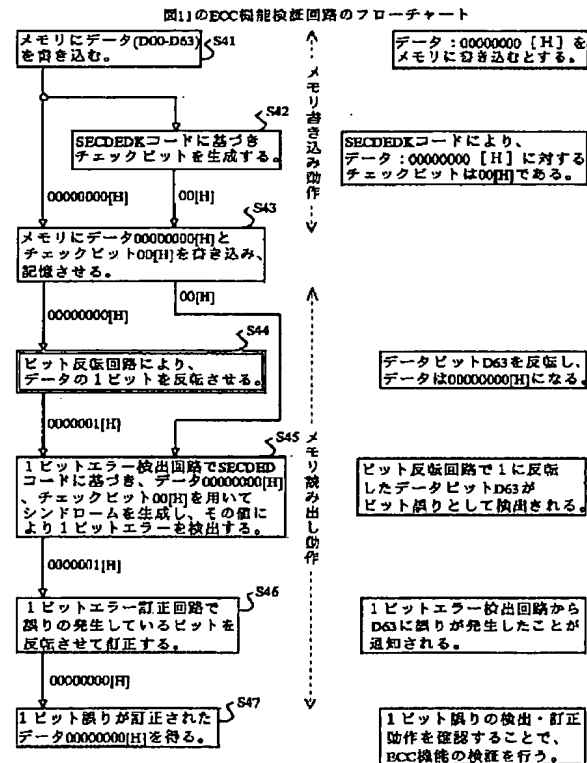
D	SYN	D	SYN	D	SYN	D	SYN	D	SYN	D	SYN	D	SYN	D	SYN	C	SYN
00	C8	08	0E	16	38	24	98	32	8A	40	85	48	68	56	07	00	80
01	C4	09	0B	17	34	25	94	33	4A	41	45	49	64	57	0D	01	40
02	C2	10	F2	18	32	26	92	34	2A	42	25	50	62	58	F1	02	20
03	C1	11	1F	19	31	27	91	35	1A	43	15	51	61	59	2F	03	10
04	F4	12	86	20	A8	28	58	36	89	44	8C	52	F8	60	83	04	08
05	8F	13	46	21	A4	29	54	37	49	45	4C	53	4F	61	43	05	04
06	E0	14	26	22	A2	30	52	38	29	46	2C	54	70	62	23	06	02
07	B0	15	16	23	A1	31	51	39	19	47	1C	55	D0	63	13	07	01

D63: 1ビット誤りが発生しているデータビット
 C63: 1ビット誤りが発生しているチェック
 SYN: シンδροーム(S00-S07)の値

【図10】

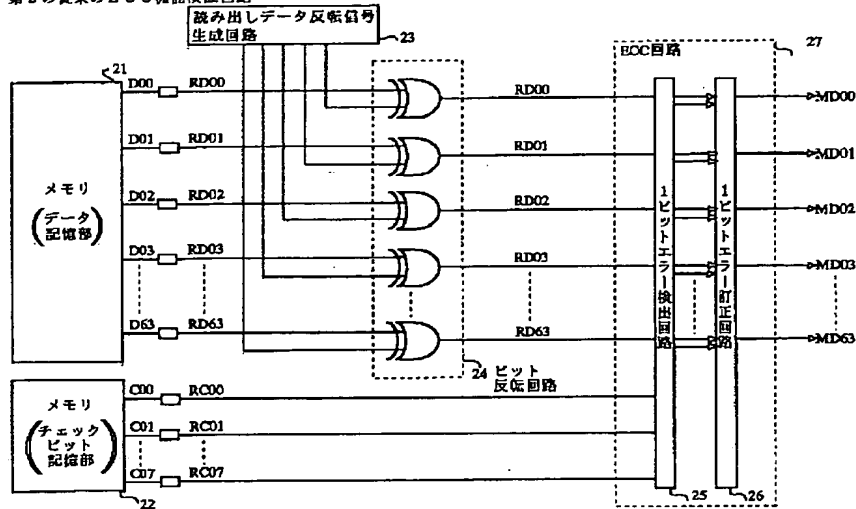


【図12】



【図11】

第2の従来のECC機能検証回路



【図13】

図9及び図11のECC機能検証回路のタイムチャート

